

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-252233

(43)Date of publication of application : 06.09.2002

(51)Int.Cl.

H01L 21/338

H01L 29/812

H01L 29/78

(21)Application number : 2001-047000

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 22.02.2001

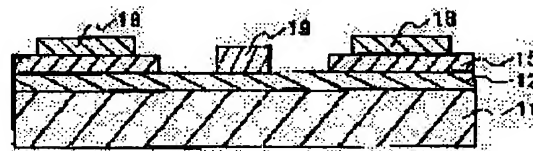
(72)Inventor : OTA TOSHIMICHI

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a constitution in which an ohmic electrode of low resistance is formed on a substrate comprised of SiC without thermal processing under a high temperature, and a method of manufacturing it.

**SOLUTION:** A semiconductor device comprises: an SiGe layer 15 formed on SiC (11, 12); and an ohmic electrode 18 formed on the SiGe layer 15.



## LEGAL STATUS

[Date of request for examination] 21.02.2003

[Date of sending the examiner's decision of rejection] 04.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-252233

(P2002-252233A)

(43) 公開日 平成14年9月6日 (2002.9.6)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームコード\* (参考)

H 0 1 L 21/338

H 0 1 L 29/80

B 5 F 1 0 2

29/812

29/78

3 0 1 B 5 F 1 4 0

29/78

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号 特願2001-47000(P2001-47000)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22) 出願日 平成13年2月22日 (2001.2.22)

(72) 発明者 太田 順道

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

Fターム(参考) 5F102 GB01 GC01 GD01 GJ02 GN02

GN10 HC01 HC21

5F140 AA10 BA02 BA17 BE03 BE07

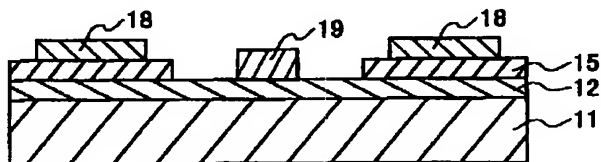
BJ04 BJ11 BJ14 BK17 BK38

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 SiCよりなる基板上に低抵抗のオーミック電極を高温の熱処理なしで形成する構成とその製造方法を提供する。

【解決手段】 SiC 11、12上に形成されたSiGe層15と、前記SiGe層15上に形成されたオーミック電極18とを備えている半導体装置とする。



## 【特許請求の範囲】

【請求項 1】 SiC 上に形成された SiGe 層と、前記 SiGe 層上に形成されたオーミック電極とを備えていることを特徴とする半導体装置。

【請求項 2】 SiC 上に形成された Si 層と、前記 Si 層上に形成された SiGe 層と、前記 SiGe 層上に形成されたオーミック電極とを備えていることを特徴とする半導体装置。

【請求項 3】 SiC 上に形成された SiC から Si、さらに Si から SiGe へと連続的に組成が変わる半導体層と、前記半導体層上に形成されたオーミック電極とを備えていることを特徴とする半導体装置。

【請求項 4】 SiC 上に形成された SiC から SiGe へと連続的に C の組成比を減らしながら、且つ、連続的に Ge の組成比を増やししながら組成が変わる半導体層と、前記半導体層上に形成されたオーミック電極とを備えていることを特徴とする半導体装置。

【請求項 5】 前記 SiGe 層又はそれを含む前記半導体層が、p 型領域上と n 型領域上のいずれにも形成されている請求項 1～4 のいずれかに記載の半導体装置。

【請求項 6】 前記 SiC 上にゲート電極が形成されている請求項 1～4 のいずれかに記載の半導体装置。

【請求項 7】 前記ゲート電極が、Si 酸化膜上に形成されている請求項 6 に記載の半導体装置。

【請求項 8】 SiC 上に SiGe 層を結晶成長させる工程と、前記 SiGe 層上にオーミック電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 SiC 上に Si 層を結晶成長させる工程と、前記 Si 層上に SiGe 層を結晶成長させる工程と、前記 SiGe 層上にオーミック電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 10】 SiC 上に SiC から Si、さらに Si から SiGe へと連続的に組成が変わる半導体層を結晶成長させる工程と、前記半導体層上にオーミック電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 11】 SiC 上に SiC から SiGe へと連続的に C の組成比を減らしながら、且つ、連続的に Ge の組成比を増やししながら組成が変わる半導体層を結晶成長させる工程と、前記半導体層上にオーミック電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 12】 前記 SiGe 層又はそれを含む前記半導体層を p 型領域上と n 型領域上のいずれにも結晶成長させる請求項 8～11 のいずれかに記載の半導体装置の製造方法。

【請求項 13】 前記 SiC 上にゲート電極を形成する工程を備えた請求項 8～11 のいずれかに記載の半導体

装置の製造方法。

【請求項 14】 前記ゲート電極が、Si 酸化膜上に形成される請求項 13 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、バンドギャップの大きい炭化シリコンよりなる基板上にオーミック電極を形成した半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、炭化シリコン（以下、SiC と呼ぶ。）よりなる半導体は、そのワイドバンドギャップ特性の物性的優位性や、構成元素がほぼ無尽蔵にあることから、次世代を担う半導体材料として大きな注目を集めている。SiC は結晶構造が共有性結合であるため、物質的に極めて安定であって、バンドギャップが大きい。そのため金属と SiC の接合面では、ショットキー接触は容易に形成できるが、オーミック接触は難しく、オーミック接触を形成するには適切な材料選択と非常に高い熱処理を必要とする。

【0003】以下、従来の構成を用いたオーミック電極形成方法を図面を参照しながら説明する。図 6 は従来の SiC 半導体装置の一つである電界効果型トランジスタの構造を示す断面図、図 12 (a)～(d) はその製造方法を示す工程断面図である。まず、図 12 (a) に示すように、SiC 基板 61 の上面に不純物が低濃度にドーピングされた SiC 62、不純物が高濃度にドーピングされた SiC 63 を結晶成長により形成する。次に、同図

(b) に示すように、最上層の前記 SiC 63 の一部を除去し、前記 SiC 62 を露出する。その後、同図

(c) に示すように、オーミック電極 68 を前記 SiC 63 上に形成し、高温熱処理をしてオーミック接触を得る。前記オーミック電極 68 は、ドレイン電極及びソース電極となる。さらに、同図 (d) に示すように、ゲート電極 69 を前記 SiC 62 上に形成してショットキー接触を得る。

【0004】以上の工程を経て、図 6 に示す従来の構成による SiC 電界効果型トランジスタが完成する。なお、前記 SiC 63 の除去の工程はオーミック電極 68 の形成後に行なわれる場合もある。オーミック接触を得るための熱処理の一般的方法は、SiC 基板 61 を高周波加熱炉の加熱コイルの間に挿入し、1000℃から1600℃程度の高温で行なわれる。この方法は、例えば、C.Arnode 他、[Nickel and molybdenum ohmic contacts on silicon carbide], Institute of Physics Conference Series Number 142, pp.577-580, 1996 等に開示されている。

## 【0005】

【発明が解決しようとする課題】しかしながら、前記従来の構成によるオーミック電極形成方法では、熱処理の温度域が Si や GaAs などの従来の半導体材料の耐熱

条件より遙かに高く、且つ最終的に得られるオーミック接触の抵抗も高い。加えてオーミック電極となる金属材料はこれより融点の高いものが必要であり、高融点金属などに選択が限られる。さらに、この温度域はSiC結晶の成長温度やイオン注入後に行なわれる活性化のための熱処理温度にも近く、結晶に対するダメージや不純物の再拡散などを引き起こすおそれがある。また、設備面からも高温熱処理を行なうための高周波加熱炉などの特殊な装置と、複雑な温度管理や雰囲気ガス管理、高温に対する安全性管理等を必要とするなど、種々の問題点を有しており、SiC半導体装置の実用化・量産化の大きな障壁となっている。

【0006】そこで、本発明は前記従来の問題を解決するため、SiCよりなる基板上に低抵抗のオーミック電極を高温の熱処理なしで形成する構成とその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】前記目的を達成するため、本発明は、SiCよりなる基板とオーミック電極との間にSiGe層を介在させて、オーミック接触を実現するものである。

【0008】本発明の第1の半導体装置は、SiC上に形成されたSiGe層と、前記SiGe層上に形成されたオーミック電極とを備えていることを特徴とする。

【0009】本発明の第2の半導体装置は、SiC上に形成されたSi層と、前記Si層上に形成されたSiGe層と、前記SiGe層上に形成されたオーミック電極とを備えていることを特徴とする。

【0010】本発明の第3の半導体装置は、SiC上に形成されたSiCからSi、さらにSiからSiGeへと連続的に組成が変わる半導体層と、前記半導体層上に形成されたオーミック電極とを備えていることを特徴とする。

【0011】本発明の第4の半導体装置は、SiC上に形成されたSiCからSiGeへと連続的にCの組成比を減らしながら、且つ、連続的にGeの組成比を増やしながら組成が変わる半導体層と、前記半導体層上に形成されたオーミック電極とを備えていることを特徴とする。

【0012】また、本発明の半導体装置は、前記SiGe層又はそれを含む前記半導体層が、p型領域上とn型領域上のいずれにも形成されていることが好ましい。

【0013】また、本発明の半導体装置は、前記SiC上にゲート電極が形成されていることが好ましい。

【0014】また、本発明の半導体装置は、前記ゲート電極が、Si酸化膜上に形成されていることが好ましい。

【0015】本発明の半導体装置の第1の製造方法は、SiC上にSiGe層を結晶成長させる工程と、前記SiGe層上にオーミック電極を形成する工程とを備えて

いることを特徴とする。

【0016】本発明の半導体装置の第2の製造方法は、SiC上にSi層を結晶成長させる工程と、前記Si層上にSiGe層を結晶成長させる工程と、前記SiGe層上にオーミック電極を形成する工程とを備えていることを特徴とする。

【0017】本発明の半導体装置の第3の製造方法は、SiC上にSiCからSi、さらにSiからSiGeへと連続的に組成が変わる半導体層を結晶成長させる工程と、前記半導体層上にオーミック電極を形成する工程とを備えていることを特徴とする。

【0018】本発明の半導体装置の第4の製造方法は、SiC上にSiCからSiGeへと連続的にCの組成比を減らしながら、且つ、連続的にGeの組成比を増やしながら組成が変わる半導体層を結晶成長させる工程と、前記半導体層上にオーミック電極を形成する工程とを備えていることを特徴とする。

【0019】また、本発明の半導体装置の製造方法は、前記SiGe層又はそれを含む前記半導体層をp型領域上とn型領域上のいずれにも結晶成長させることが好ましい。

【0020】また、本発明の半導体装置の製造方法は、前記SiC上にゲート電極を形成する工程を備えていることが好ましい。

【0021】また、本発明の半導体装置の製造方法は、前記ゲート電極が、Si酸化膜上に形成されていることが好ましい。

【0022】本発明の第1から第4の半導体装置及び第1から第4の半導体装置の製造方法によると、オーミック電極はバンドギャップの小さいSiGe上に形成されるため、オーミック接触を得るための熱処理は非常に低温になるか、若しくはSiGeの不純物濃度が十分に高ければ、熱処理は全く不要になる。また、金属の選択の自由度も大きく、他のプロセスに合致したものを選ぶことができる。当然ながら、通常のシリコン半導体に配線として用いられる高濃度にドーピングされたポリシリコンでもオーミック接触が形成できる。さらに、オーミック接触の形成において真性半導体部の熱履歴による劣化を引き起こさないで、安定なデバイス特性が再現する。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を説明する。

【0024】（実施形態1）本発明の第1の実施形態を図面を参照しながら説明する。先ず、図1は本発明の第1の構成によるSiC電界効果型トランジスタの構造を示す断面図、図7(a)～(d)はその製造方法を示す工程断面図である。

【0025】図7(a)に示すように、SiC基板11の上面に不純物が低濃度にドーピングされたSiC12、不純物が高濃度にドーピングされたSiGe15を結晶成長に

より形成する。次に、同図 (b) に示すように、最上層の前記 SiGe15 の一部を除去し、前記 SiC12 を露出する。その後、同図 (c) に示すように、オーミック電極 18 を前記 SiGe15 上に形成し、約 300℃ 程度の低温で熱処理をしてオーミック接触を得る。前記オーミック電極 18 は、ドレイン電極及びソース電極となる。さらに、同図 (d) に示すように、ゲート電極 19 を前記 SiC12 上に形成してショットキー接触を得る。なお、同図 (d) は図 1 と同一である。

【0026】(実施形態 2) 本発明の第 2 の実施形態を  
図面を参照しながら説明する。先ず、図 2 は本発明の第 2 の構成による SiC 電界効果型トランジスタの構造を示す断面図、図 8 (a) ~ (e) はその製造方法を示す工程断面図である。

【0027】図 8 (a) に示すように、SiC 基板 21 の上面に不純物が低濃度にドーピングされた SiC22、不純物が高濃度にドーピングされた Si24、SiGe25 を結晶成長により形成する。次に、同図 (b) に示すように、最上層の SiGe25 の一部を除去し、前記 Si24 を露出する。その後、同図 (c) に示すように、露出した Si24 の一部を約 800 ~ 1000℃ の高温で熱処理して、ゲート酸化膜 26 を形成する。次に、同図

(d) に示すように、オーミック電極 28 を前記 SiGe25 上に形成し、約 300℃ 程度の低温で熱処理をしてオーミック接触を得る。さらに、同図 (e) に示すように、ゲート電極 29 を前記ゲート酸化膜 26 上に形成して MOS ゲートを得る。なお、同図 (e) は図 2 と同一である。

【0028】(実施形態 3) 本発明の第 3 の実施形態を  
図面を参照しながら説明する。先ず、図 3 は本発明の第 3 の構成による SiC 電界効果型トランジスタの構造を示す断面図、図 9 (a) ~ (d) はその製造方法を示す工程断面図である。

【0029】図 9 (a) に示すように、SiC 基板 31 の上面に不純物が低濃度にドーピングされた SiC32、不純物が高濃度にドーピングされた SiC/Si/SiGe 混晶層 35 を結晶成長により形成する。この混晶層 35 は、基板側より SiC から Si へと連続的に C の組成比を減らしながら形成される層と、Si から SiGe へと連続的に Ge の組成比を増やししながら形成される層とからなる。次に、同図 (b) に示すように、最上層の前記混晶層 35 の一部を除去し、前記 SiC32 を露出する。その後、同図 (c) に示すように、オーミック電極 38 を前記混晶層 35 上に形成し、約 300℃ 程度の低温で熱処理をしてオーミック接触を得る。さらに、同図 (d) に示すように、ゲート電極 39 を前記 SiC32 上に形成してショットキー接触を得る。なお、同図 (d) は図 3 と同一である。

【0030】(実施形態 4) 本発明の第 4 の実施形態を  
図面を参照しながら説明する。先ず、図 4 は本発明の第

4 の構成による SiC 電界効果型トランジスタの構造を示す断面図、図 10 (a) ~ (d) はその製造方法を示す工程断面図である。

【0031】図 10 (a) に示すように、SiC 基板 41 の上面に不純物が低濃度にドーピングされた SiC42、不純物が高濃度にドーピングされた SiC ~ SiGe 混晶層 45 を結晶成長により形成する。この混晶層 45 は、基板側より SiC から SiGe へと連続的に C の組成比を減らしながら、且つ連続的に Ge の組成比を増やししながら形成される層からなる。次に、同図 (b) に示すように、最上層の前記混晶層 45 の一部を除去し、前記 SiC42 を露出する。その後、同図 (c) に示すように、オーミック電極 48 を前記混晶層 45 上に形成し、約 300℃ 程度の低温で熱処理をしてオーミック接触を得る。さらに、同図 (d) に示すように、ゲート電極 49 を前記 SiC42 上に形成してショットキー接触を得る。なお、同図 (d) は図 4 と同一である。

【0032】(実施形態 5) 本発明の第 5 の実施形態を  
図面を参照しながら説明する。先ず、図 5 は本発明の第 1 の構成の一部を変更した SiC 電界効果型トランジスタの構造を示す断面図、図 11 (a) ~ (e) はその製造方法を示す工程断面図である。

【0033】図 11 (a) に示すように、SiC 基板 51 の上面に不純物が低濃度にドーピングされた SiC52 を結晶成長により形成した後、表面側からのイオン注入法により、もう一方の導電型、即ち SiC52 が n 型であれば p 型の不純物をドーピングして不純物埋込領域 57 を形成する。約 300℃ 程度で熱処理して前記不純物埋込領域 57 を活性化させた後、同図 (b) に示すように前記不純物埋込領域 57 上の前記 SiC52 の一部を除去して、前記不純物埋込領域 57 を露出させる。その上に、高濃度に不純物がドーピングされた SiGe55 を結晶成長により形成する。この時、前記不純物埋込領域 57 上は pn 接合となるが、SiC に対して SiGe は非常にバンドギャップが狭いので、導電型の差異はほとんど無視しうる。もし、さらに抵抗成分を改善するならば、前記不純物埋込領域 57 上の前記 SiGe55 の一部に同一の導電型となる不純物を再拡散させればよい。次に、同図 (c) に示すように、最上層の前記 SiGe55 の一部を除去し、前記 SiC52 を露出する。その後、同図 (d) に示すように、オーミック電極 58 を前記 SiGe55 上に形成し、約 300℃ 程度の低温で熱処理をしてオーミック接触を得る。さらに、同図 (e) に示すように、ゲート電極 59 を前記 SiC52 上に形成してショットキー接触を得る。なお、同図 (e) は図 5 と同一である。

【0034】次に、本発明の構成によって得られる効果についてより明確にするために、半導体のバンドダイアグラムを用いて説明する。図 13 (a) ~ (d) は n 型半導体と金属の接合を示すバンドダイアグラム図、図 1

4 (a) ~ (d) はp型半導体と金属の接合を示すバンドダイアグラム図である。

【0035】図13 (a) は、n型SiC (n-SiC) と金属 (Metal) の接合を示す。図からも明らかのように、バンドギャップの非常に大きいSiCではショットキー障壁が高く、少々不純物濃度を高くしてもコンタクト抵抗は下らない。また、前述のように結晶自身が非常に堅固なので、そのショットキー障壁を潰すには非常に高温の熱処理を必要とする。

【0036】これに対して、本発明の第1の構成を示す図13 (b) では、SiGeという非常にバンドギャップの小さい半導体を用いているので、ショットキー障壁を低くできる。また、バンドギャップが小さいということは、高濃度に不純物をドーピングするとほとんど金属化するので、室温で金属と接触させてもオーミック接触し、いわゆるノンアロイコンタクトが可能となる。

【0037】図13 (c) は本発明の第2の構成を示すもので、SiCとSiGeとの間にSiを介在させたものである。これは、より実用的な構成を示したものである。現在の結晶成長技術では、SiCから突然SiGeを成長させるよりは、SiCからSi、SiからSiGeを順次形成した方が、良い結晶が得られやすいことが判っている。これは主に、格子定数差、基板温度、使用ガスの種類などに起因している。また、図2の実施形態2でも示したように、介在させたSiを自己酸化させてMOS構造を作ることでもできる。一般に、SiCそのものを酸化させると、界面にCが残留するので良好なMOSが得られにくいことが判っている。本構成では、その点も解決している。

【0038】図13 (d) は本発明の第4の構成を示すもので、SiC界面から組成としてのCを順次減少させるとともにGeを順次増加させることにより、連続的にバンドギャップを変化させている。結晶成長技術としては最も難易度が高いが、電気的連続性では最も優れている。本発明の第3の構成は、より簡易的に結晶成長を行なうためのもので、SiCからCを順次減少させてSiまで形成し、その後SiにGeを順次増加させてSiGeする方法である。この方法でも電気的連続性は十分優れている。

【0039】p型の場合もほぼ同様であるが、図14 (a) に示すように、SiCではp型の不純物濃度を上げて活性せず、高濃度のp型が作製できないという課題がある。そのため、n型以上にコンタクト抵抗が高くなる。

【0040】図14 (b) ~ (d) は、それぞれ図13 (b) ~ (d) のn型をp型へ変えたものであるが、前述のようにSiGeを介在させる効果はむしろp型の方が大きい。特に、電気的に連続となる同図 (d) の構成では、半導体内部の障壁も全く無くなるので、飛躍的にコンタクト抵抗が低減できる。

【0041】SiCはワイドバンドギャップ半導体であり、実使用ではその特徴を活かした高電圧動作が考えられている。この高電界下ではゲート・ドレイン間にアバランシュにより不要な電子・正孔対が発生する。パワー用のSiMOSFETにも採用されているように、この正孔を吸収するpシンカーが必要となるが、前述のようにp型に対してコンタクトが取りにくければ、十分な働きをしない。実施形態5で示した構成は、それを解決するものであり、バンドギャップの小さいSiGeを介在させることにより、n-SiCとp-SiCを低抵抗で接続して、ゲート下で発生した正孔をSiGe内部で再結合させる。

【0042】

【発明の効果】本発明の第1から第4の構成及び第1から第4の製造方法によると、オーミック電極はバンドギャップの小さいSiGe上に形成されるため、オーミック接触を得るための熱処理は非常に低温か、若しくはSiGeの不純物濃度が十分に高ければ不要である。また、金属の選択の自由度も大きく、他のプロセスに合致したものを選ぶことができる。当然ながら、通常のシリコン半導体に配線として用いられる高濃度にドーピングされたポリシリコンでもオーミック接触が形成できる。さらに、オーミック形成において真性半導体部の熱履歴による劣化を引き起こさないので、安定なデバイス特性が再現する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る電界効果型トランジスタの構造を示す断面図である。

【図2】本発明の第2の実施形態に係る電界効果型トランジスタの構造を示す断面図である。

【図3】本発明の第3の実施形態に係る電界効果型トランジスタの構造を示す断面図である。

【図4】本発明の第4の実施形態に係る電界効果型トランジスタの構造を示す断面図である。

【図5】本発明の第1の実施形態の一部を変更した電界効果型トランジスタの構造を示す断面図である。

【図6】従来の構成による電界効果型トランジスタの構造を示す断面図である。

【図7】本発明の第1の実施形態に係る電界効果型トランジスタの製造方法を示す工程断面図である。

【図8】本発明の第2の実施形態に係る電界効果型トランジスタの製造方法を示す工程断面図である。

【図9】本発明の第3の実施形態に係る電界効果型トランジスタの製造方法を示す工程断面図である。

【図10】本発明の第4の実施形態に係る電界効果型トランジスタの製造方法を示す工程断面図である。

【図11】本発明の第1の実施形態の一部を変更した電界効果型トランジスタの製造方法を示す工程断面図である。

【図12】従来の構成による電界効果型トランジスタの

製造方法を示す工程断面図である。

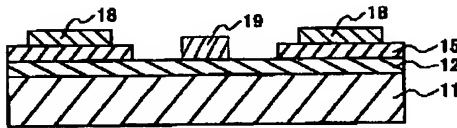
【図13】n型半導体上にオーミック形成するときの半導体・金属のバンドダイアグラムの模式図である。

【図14】p型半導体上にオーミック形成するときの半導体・金属のバンドダイアグラムの模式図である。

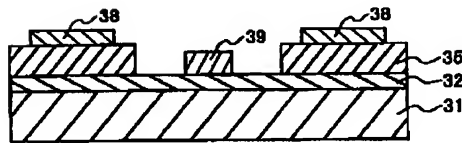
【符号の説明】

11、21、31、41、51、61 SiC基板  
12、22、32、42、52、62、63 SiC  
15、25、55 SiGe \*

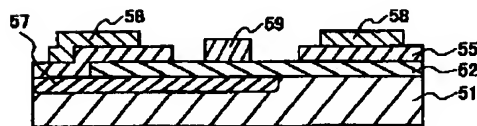
【図1】



【図3】



【図5】



\* 18、28、38、48、58、68 オーミック電極

19、29、39、49、59、69 ゲート電極

24 Si

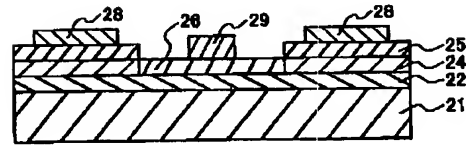
26 ゲート酸化膜

35 SiC/Si/SiGe 混晶層

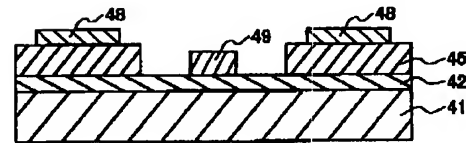
45 SiC~SiGe 混晶層

57 不純物埋込領域

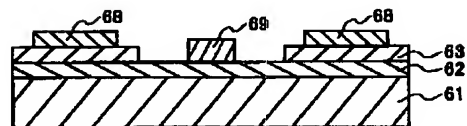
【図2】



【図4】

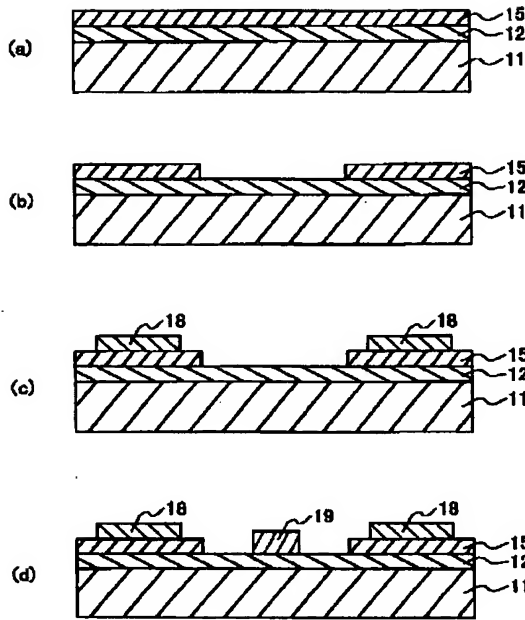


【図6】

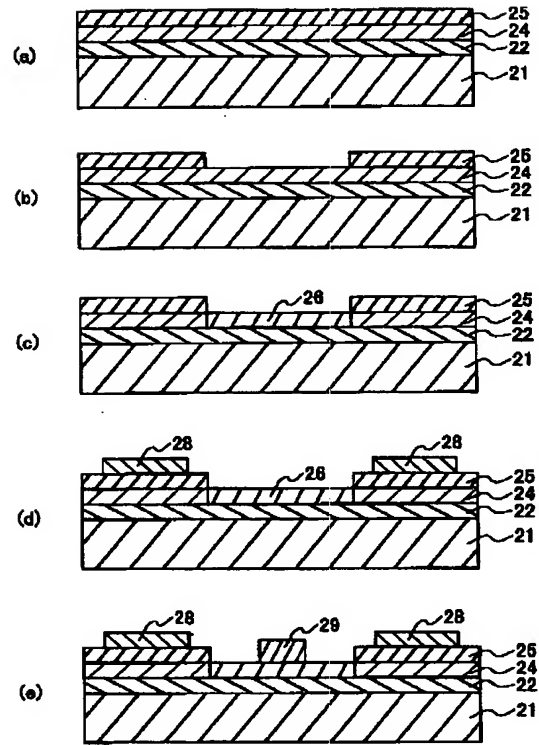




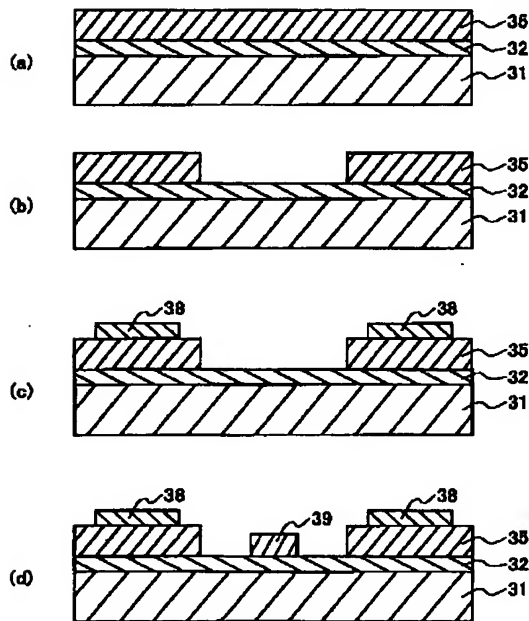
【図 7】



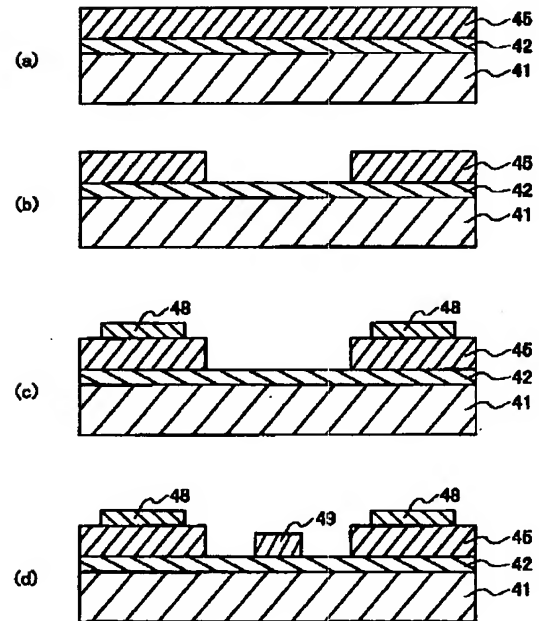
【図 8】



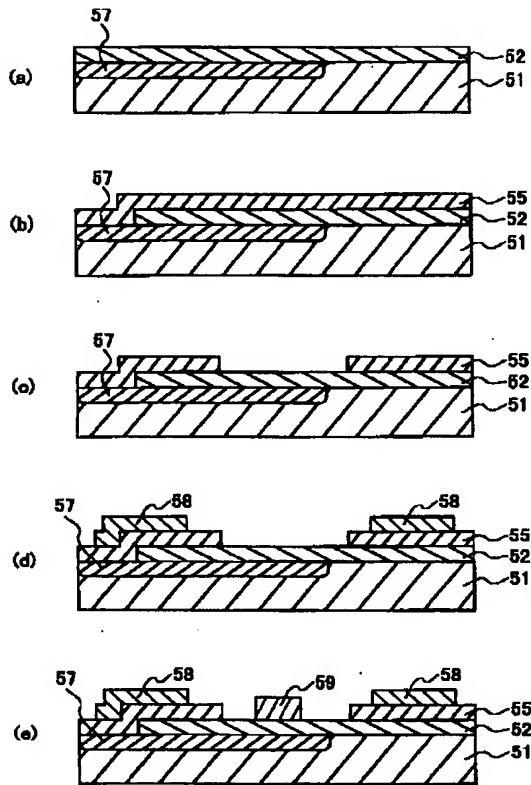
【図 9】



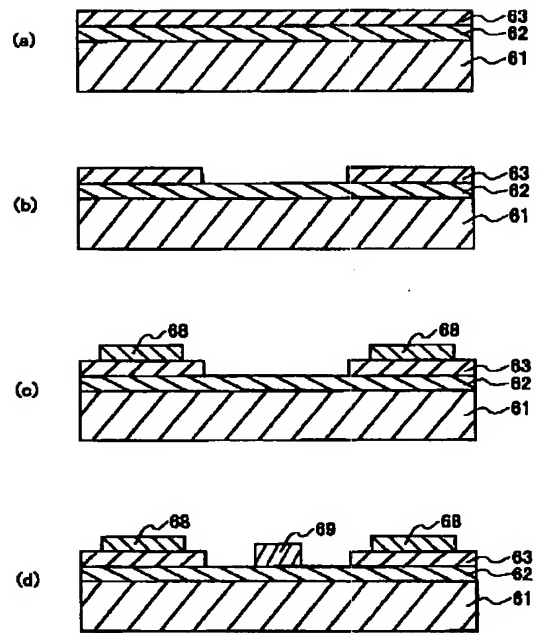
【図 10】



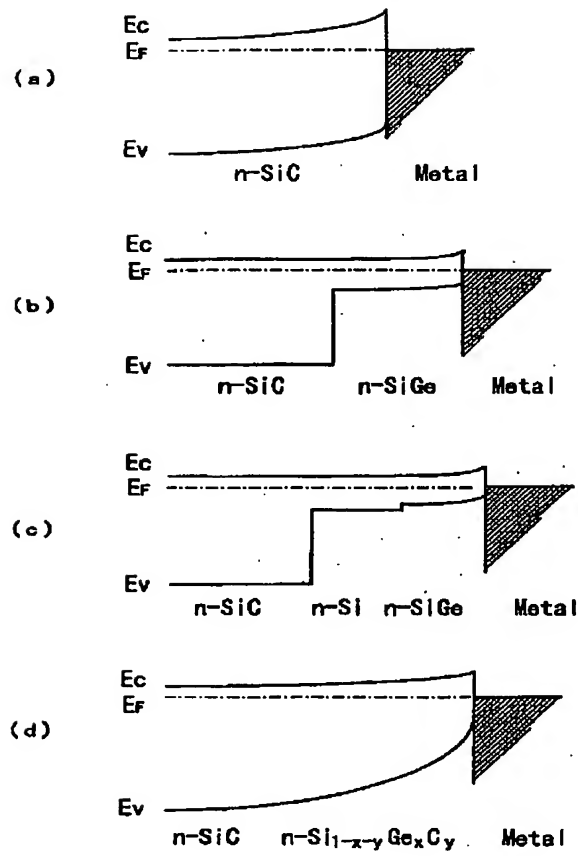
【図 11】



【図 12】



【図13】



【図14】

